

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月21日

出 願 番 号

Application Number:

特願2001-188051

出 願 人

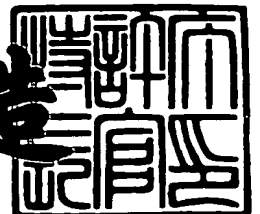
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084407

【書類名】 特許願

【整理番号】 01000648

【提出日】 平成13年 6月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

 【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
 ツルメンツ株式会社内

 【氏名】 小山内 潤

【特許出願人】

 【識別番号】 000002325

 【氏名又は名称】 セイコーインスツルメンツ株式会社

 【代表者】 服部 純一

【代理人】

 【識別番号】 100096378

 【弁理士】

 【氏名又は名称】 坂上 正明

【手数料の表示】

 【予納台帳番号】 008246

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 相補型MOS半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、
前記半導体基板上に素子分離領域を形成する工程と、
前記半導体基板上にゲート絶縁膜を形成する工程と、
前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、
前記半導体基板上に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、
前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、
前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、
前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、
前記第一の絶縁膜と前記多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、
前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、
Nチャネル型MOSトランジスターのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に高濃度のN型不純物をドーピングする工程と、
Pチャネル型MOSトランジスターのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に高濃度のP型不純物をドーピングする工程と、
前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法。

【請求項 2】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、

前記半導体基板上に素子分離領域を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成する工程と、

前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、

前記半導体基板上に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、

前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、

前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、

前記多結晶シリコン膜をパターニングして前記第一のP型領域からなるゲート電極と配線と前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、

Nチャネル型MOSトランジスターのゲート電極およびゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、

Pチャネル型MOSトランジスターのゲート電極およびソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、

前記第一のN型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、

前記第二のP型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップし

ない領域に高濃度のP型不純物を選択的にドーピングする工程と、

前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法。

【請求項3】 半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、

前記半導体基板上に素子分離領域を形成する工程と、

前記半導体基板上にゲート絶縁膜を形成する工程と、

前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン膜領域からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体とを形成する工程と、

Nチャネル型MOSトランジスターのゲート電極およびゲート電極に対しソースおよびドレインが平面的にオーバーラップする前記半導体基板領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、

Pチャネル型MOSトランジスターのゲート電極およびソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップする前記半導体基板領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、

前記第一のN型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、

前記第二のP型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およ

びPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程と、前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法。

【請求項 4】 前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 5】 前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 6】 前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 7】 前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 8】 前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 9】 前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする請求項 1 または 2 または 3 に記載の相補型MOS半導体装置の製造方法。

【請求項 1 0】 前記しきい値制御のための不純物をドーピングする工程が

イオン注入法であり、Nチャネル型MOSトランジスタのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項11】 前記多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が2000Åから6000Åの範囲であることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項12】 前記第二のP型の多結晶シリコン領域を形成する工程は不純物としてボロンないしBF₂を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数kΩ/□から数十kΩ/□程度であることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項13】 前記第一のN型の多結晶シリコン領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{ atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数kΩ/□から数十kΩ/□程度であることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項14】 前記第一のP型の多結晶シリコン膜領域を形成する工程は、フォトリソグラフィー法によるフォトレジストをパターニングする工程と、不純物としてボロンないしBF₂をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項15】 前記第一のP型の多結晶シリコン膜領域を形成する工程は、第三の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィー法とエッチング法により該第三の絶縁膜をパターニングする工程と、不純物としてボロンを用いた電気炉中でのプリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第三の絶縁膜を除去する工程とからなることを特徴とする請求項1または2または3に記載の相補型MOS半導体装置の製造方法。

【請求項 1 6】 前記第一の P 型の多結晶シリコン膜領域を形成する工程は、第三の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第三の絶縁膜をパターニングする工程と、不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を 1×10^{19} atoms/cm³ 以上前記多結晶シリコン膜中に導入する工程と、前記第三の絶縁膜を除去する工程とからなることを特徴とする請求項 1 または 2 または 3 記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 7】 前記第一の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第一の絶縁膜の膜厚が 1 0 0 0 Å から 2 0 0 0 Å の範囲であることを特徴とする請求項 1 記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 8】 前記第一の絶縁膜は化学気相成長法により形成されたシリコン窒化膜であり、該第一の絶縁膜の膜厚が 1 0 0 0 Å から 2 0 0 0 Å の範囲であることを特徴とする請求項 1 記載の相補型 MOS 半導体装置の製造方法。

【請求項 1 9】 前記第一の絶縁膜と前記多結晶シリコン膜のパターニングは、フォトリソグラフィ法によりフォトレジストをパターニングする工程と、該フォトレジストをマスクとして該第一の絶縁膜をエッチングする工程と、該フォトレジストを残したまま該多結晶シリコン膜をドライエッチングする工程とからなることを特徴とする請求項 1 記載の相補型 MOS 半導体装置の製造方法。

【請求項 2 0】 前記第一の絶縁膜と前記多結晶シリコン膜のパターニングは、フォトリソグラフィ法によりフォトレジストをパターニングする工程と、該フォトレジストをマスクとして該第一の絶縁膜をエッチングする工程と、該フォトレジストを除去する工程と、前記第一の絶縁膜をマスクとして前記多結晶シリコン膜をドライエッチングする工程とからなることを特徴とする請求項 1 記載の相補型 MOS 半導体装置の製造方法。

【請求項 2 1】 前記抵抗体上の第一の絶縁膜を選択的に除去する工程は、フォトリソグラフィ法により該抵抗体以外の領域をフォトレジストでマスクする工程と、エッチングにより該第一の絶縁膜をエッチングする工程と、フォトレジストを除去する工程とからなることを特徴とする請求項 1 記載の相補型 MOS 半導体装置の製造方法。

【請求項 2 2】 Nチャネル型MOSトランジスターのソースおよびドレインとなる領域および前記第一のN型の多結晶シリコン領域の一部に高濃度のN型不純物をドーピングする工程は、フォトリソグラフィ法により該Nチャネル型MOSトランジスターのソースおよびドレインとなる領域及び該第一のN型の多結晶シリコン領域の一部を開口するようにフォトレジストをパターンニングする工程と、イオン注入法により不純物としてリンないし砒素を該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記Nチャネル型MOSトランジスターのソースおよびドレインとなる半導体基板中および前記第一のN型の多結晶シリコン領域の一部に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする請求項 1 または 2 または 3 記載の相補型MOS半導体装置の製造方法。

【請求項 2 3】 Pチャネル型MOSトランジスターのソースおよびドレインとなる領域および前記第二のP型の多結晶シリコン領域の一部に高濃度のP型不純物をドーピングする工程は、フォトリソグラフィ法により該Pチャネル型MOSトランジスターのソースおよびドレインとなる領域及び該第二のP型の多結晶シリコン領域の一部を開口するようにフォトレジストをパターンニングする工程と、イオン注入法により不純物としてボロンないし BF_2 を該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記Pチャネル型MOSトランジスターのソースおよびドレインとなる半導体基板中および前記第二のP型の多結晶シリコン領域の一部に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする請求項 1 または 2 または 3 記載の相補型MOS半導体装置の製造方法。

【請求項 2 4】 前記第二の絶縁膜は化学気相成長法による下層が膜厚が 1000\AA 以上のシリコン酸化膜であり上層がPSG膜もしくはBPSG膜の積層構造であることを特徴とする請求項 1 または 2 または 3 記載の相補型MOS半導体装置の製造方法。

【請求項 2 5】 前記第二の絶縁膜は化学気相成長法による下層が膜厚が 1000\AA 以上のシリコン窒化膜であり上層がPSG膜もしくはBPSG膜の積層構造であることを特徴とする請求項 1、2、3 記載の相補型MOS半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器 (Voltage Detector、以後VDと表記) や定電圧レギュレータ (Voltage Regulator、以後VRと表記) やスイッチングレギュレータ (Switching Regulator、以後SWRと表記など) などのパワーマネージメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

図 2 2 に従来の半導体装置の模式的断面図を示す。P型半導体基板に形成されたゲート電極がN+型の多結晶シリコンからなるNチャネル型MOSトランジスタ (以後NMOSと表記) と、Nウェル領域に形成されたゲート電極がやはりN+型の多結晶シリコンからなるPチャネル型MOSトランジスタ (以後PMOSと表記) とからなる相補型MOS構造 (Complementary MOS、以後CMOSと表記) と、フィールド絶縁膜上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられる抵抗体とから構成されている。抵抗体はその製造方法の簡便さから、導電型がN型であるCMOSのゲート電極と同一層でかつ同導電型の多結晶シリコンにより形成されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

上記の従来の構造による半導体装置において、標準的なしきい値電圧である 0 . 7 V 程度のエンハンスメント型のNMOS (以後E型NMOSと表記) は、ゲート電極の導電型がN+型の多結晶シリコンであるためゲート電極と半導体基板の仕事関数の関係からチャネルが半導体基板の表面に形成される表面チャネルであるが、標準的なしきい値電圧である - 0 . 7 V 程度のエンハンスメント型のPMOS (以後E型PMOSと表記) は、N+型多結晶シリコンであるゲート電極とNウェルの仕事関数の関係からチャネルが半導体基板表面よりも幾分半導体基板内側に形成される埋込みチャネルとなっている。

【 0 0 0 4 】

埋込みチャネル型のE型PMOSにおいて、低電圧動作を実現すべくしきい値電圧を例えば -0.5 V 以上に設定する場合、MOSトランジスターの低電圧動作の一指標であるサブスレッショルド特性は極めて悪化し、従ってPMOSのオフ時におけるリーク電流は増加し、結果として半導体装置の待機時における消費電流が著しく増加し、近年需要が大きく今後もその市場がさらに発展すると言われている携帯電話や携帯端末に代表される携帯機器への適用が困難であるという問題を有している。

【0005】

一方上記の課題である低電圧動作と低消費電流を両立させる技術的方策として、図23に示すNMOSのゲート電極の導電型がN型であり、PMOSのゲート電極の導電型をP型としたいいわゆる同極ゲート技術が一般に知られているところである。この場合E型NMOSとE型PMOSともに表面チャネル型のMOSトランジスターであるため、しきい値電圧を小さくしても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【0006】

しかし同極ゲートCMOSは、N+多結晶シリコン単極だけのゲート電極であるCMOSに比べ、その製造工程においてNMOS、PMOSともにゲートの極性を各々作り分けるために工程数が増加し製造コストや製造工期の増大を招くという問題を有している。

本発明は低コストで短工期でありかつ低電圧動作や低消費電力であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0008】

(1)

半導体基板中にNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分

離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜上に第一の絶縁膜を形成する工程と、前記第一の絶縁膜と前記多結晶シリコン膜をパターンニングして前記第一のP型多結晶シリコン領域からなるゲート電極と配線と前記第一のN型多結晶シリコン領域および前記第二のP型多結晶シリコン領域からなる抵抗体とを形成する工程と、前記抵抗体上の第一の絶縁膜を選択的に除去する工程と、Nチャネル型MOSトランジスタのソースとドレインとなる領域および前記第一のN型多結晶シリコン領域からなる前記抵抗体の一部に高濃度のN型不純物をドーピングする工程と、Pチャネル型MOSトランジスタのソースとドレインとなる領域および前記第二のP型多結晶シリコン領域からなる前記抵抗体の一部に高濃度のP型不純物をドーピングする工程と、前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 0 9 】

(2)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い第一のN型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜の全域に低濃度のP型不純物ドーピングを行い第二のP型の多結晶シリコン

領域を形成する工程と、前記多結晶シリコン膜をパターニングして前記第一のP型領域からなるゲート電極と配線と前記第一のN型領域および前記第二のP型領域からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのゲート電極およびゲート電極に対しソースおよびドレインが平面的にオーバーラップするように低濃度のN型不純物を前記半導体基板中にドーピングする工程と、Pチャネル型MOSトランジスタのゲート電極およびソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップするように選択的に低濃度のP型不純物を前記半導体基板中にドーピングする工程と、前記第一のN型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスタのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二のP型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスタのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程と、前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 0 】

(3)

半導体基板中にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタのそれぞれの領域を確定するウェル形成の工程と、前記半導体基板上に素子分離領域を形成する工程と、前記半導体基板上にゲート絶縁膜を形成する工程と、前記半導体基板中にしきい値制御のための不純物をドーピングする工程と、前記半導体基板上に多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜中に選択的に高濃度のP型不純物ドーピングを行い第一のP型の多結晶シリコン領域を形成する工程と、前記多結晶シリコン膜をパターニングして前記第一のP型多結晶シリコン膜領域からなるゲート電極と配線と前記第一のP型多結晶シリコン膜領域以外からなる抵抗体とを形成する工程と、Nチャネル型MOSトランジスタのゲート電極およびゲート電極に対しソースおよびドレインが平面的にオーバーラ

ップする前記半導体基板領域および前記第一のP型多結晶シリコン膜領域以外の前記多結晶シリコン膜中に選択的に低濃度のN型不純物ドーピングを行い低濃度のN型のソースとドレインおよび第一のN型の多結晶シリコン領域を形成する工程と、Pチャネル型MOSトランジスターのゲート電極およびソースとドレインの両方もしくはドレイン側だけがゲート電極に対し平面的にオーバーラップする前記半導体基板領域および前記第一のP型多結晶シリコン膜領域と前記第一のN型の多結晶シリコン領域以外の前記多結晶シリコン膜中に選択的に低濃度のP型不純物ドーピングを行い低濃度のP型のソースとドレインおよび第二のP型の多結晶シリコン領域を形成する工程と、前記第一のN型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびNチャネル型MOSトランジスターのゲート電極に対し平面的にオーバーラップしないソースとドレインの領域に高濃度のN型不純物を選択的にドーピングする工程と、前記第二のP型の多結晶シリコン膜領域からなる前記抵抗体の一部の領域およびPチャネル型MOSトランジスターのゲート電極に対しソースとドレインの両方が平面的にオーバーラップしない領域もしくはソース側がゲート電極に対し平面的にオーバーラップしドレイン側だけがゲート電極に対し平面的にオーバーラップしない領域に高濃度のP型不純物を選択的にドーピングする工程と、前記半導体基板上に第二の絶縁膜を形成する工程とからなる相補型MOS半導体装置の製造方法とした。

【 0 0 1 1 】

(4)

前記半導体基板がP型半導体基板でありN型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 2 】

(5)

前記半導体基板がP型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 3 】

(6)

前記半導体基板がN型半導体基板でありP型ウェルを形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 4 】

(7)

前記半導体基板がN型半導体基板でありN型ウェルとP型ウェルをそれぞれ形成することによりNチャネル型MOSトランジスターとPチャネル型MOSトランジスターのそれぞれの領域を確定することを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 5 】

(8)

前記半導体基板上に素子分離領域を形成する工程がLOCOS法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 6 】

(9)

前記半導体基板上に素子分離領域を形成する工程がシャロートレンチアイソレーション法であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 7 】

(1 0)

前記しきい値制御のための不純物をドーピングする工程がイオン注入法であり、Nチャネル型MOSトランジスターのしきい値制御のための該不純物が砒素ないしリンであることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 8 】

(1 1)

前記多結晶シリコン膜は化学気相成長法により形成され、該多結晶シリコン膜の膜厚が2 0 0 0 Åから6 0 0 0 Åの範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 1 9 】

(1 2)

前記第二のP型の多結晶シリコン領域を形成する工程は不純物としてボロンないし BF_2 を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 0 】

(1 3)

前記第一のN型の多結晶シリコン領域を形成する工程は不純物としてリンないし砒素を用いたイオン注入法であり、該不純物の正味の濃度が $1 \times 10^{14} \sim 9 \times 10^{18} \text{atoms/cm}^3$ であり、該多結晶シリコン膜のシート抵抗値が数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ 程度であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 1 】

(1 4)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、フォトリソグラフィ法によるフォトレジストをパターニングする工程と、不純物としてボロンないし BF_2 をイオン注入法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 2 】

(1 5)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、第三の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第三の絶縁膜をパターニングする工程と、不純物としてボロンを用いた電気炉中でのブリデポとドライブインにより該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第三の絶縁膜を除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 3 】

(1 6)

前記第一のP型の多結晶シリコン膜領域を形成する工程は、第三の絶縁膜を該多結晶シリコン上に形成する工程と、フォトリソグラフィ法とエッチング法により該第三の絶縁膜をパターニングする工程と、不純物としてボロンを用いて分子層ドーピング法により該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記多結晶シリコン膜中に導入する工程と、前記第三の絶縁膜を除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 4 】

(1 7)

前記第一の絶縁膜は化学気相成長法により形成されたシリコン酸化膜であり、該第一の絶縁膜の膜厚が 1000Å から 2000Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 5 】

(1 8)

前記第一の絶縁膜は化学気相成長法により形成されたシリコン窒化膜であり、該第一の絶縁膜の膜厚が 1000Å から 2000Å の範囲であることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 6 】

(1 9)

前記第一の絶縁膜と前記多結晶シリコン膜のパターニングは、フォトリソグラフィ法によりフォトレジストをパターニングする工程と、該フォトレジストをマスクとして該第一の絶縁膜をエッチングする工程と、該フォトレジストを残したまま該多結晶シリコン膜をドライエッチングする工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【 0 0 2 7 】

(2 0)

前記第一の絶縁膜と前記多結晶シリコン膜のパターニングは、フォトリソグラ

フィー法によりフォトレジストをパターンニングする工程と、該フォトレジストをマスクとして該第一の絶縁膜をエッチングする工程と、該フォトレジストを除去する工程と、前記第一の絶縁膜をマスクとして前記多結晶シリコン膜をドライエッチングする工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0028】

(21)

前記抵抗体上の第一の絶縁膜を選択的に除去する工程は、フォトリソグラフィー法により該抵抗体以外の領域をフォトレジストでマスクする工程と、エッチングにより該第一の絶縁膜をエッチングする工程と、フォトレジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0029】

(22)

Nチャネル型MOSトランジスターのソースおよびドレインとなる領域および前記第一のN型の多結晶シリコン領域の一部に高濃度のN型不純物をドーピングする工程は、フォトリソグラフィー法により該Nチャネル型MOSトランジスターのソースおよびドレインとなる領域及び該第一のN型の多結晶シリコン領域の一部を開口するようにフォトレジストをパターンニングする工程と、イオン注入法により不純物としてリンないし砒素を該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記Nチャネル型MOSトランジスターのソースおよびドレインとなる半導体基板中および前記第一のN型の多結晶シリコン領域の一部に導入する工程と、前記フォトレジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0030】

(23)

Pチャネル型MOSトランジスターのソースおよびドレインとなる領域および前記第二のP型の多結晶シリコン領域の一部に高濃度のP型不純物をドーピングする工程は、フォトリソグラフィー法により該Pチャネル型MOSトランジスターのソースおよびドレインとなる領域及び該第二のP型の多結晶シリコン領域の一部を開口

するようにフォトリジストをパターンニングする工程と、イオン注入法により不純物としてボロンないし BF_2 を該不純物の正味の濃度を $1 \times 10^{19} \text{atoms/cm}^3$ 以上前記Pチャネル型MOSトランジスターのソースおよびドレインとなる半導体基板中および前記第二のP型の多結晶シリコン領域の一部に導入する工程と、前記フォトリジストを除去する工程とからなることを特徴とする相補型MOS半導体装置の製造方法とした。

【0031】

(24)

前記第二の絶縁膜は化学気相成長法による下層が膜厚が 1000\AA 以上のシリコン酸化膜であり上層がPSG膜もしくはBPSG膜の積層構造であることを特徴とする相補型MOS半導体装置の製造方法とした。

【0032】

(25)

前記第二の絶縁膜は化学気相成長法による下層が膜厚が 1000\AA 以上のシリコン窒化膜であり上層がPSG膜もしくはBPSG膜の積層構造であることを特徴とする請求項1、2、3記載の相補型MOS半導体装置の製造方法とした。

【0033】

【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。

図1は本発明のCMOS半導体装置の一実施例を示す模式的断面図である。P型半導体基板101に形成されたゲート電極がP+型の多結晶シリコン107でありソースとドレインがいわゆるシングルドレイン構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはりP+型の多結晶シリコン107であるシングルドレイン構造のPMOS112とからなるCMOSと、フィールド絶縁膜106上に形成されている電圧を分圧するための分圧回路もしくは時定数を設定するCR回路などに用いられるP-抵抗体114およびN-抵抗体115とから構成されている。ゲート電極であるP+多結晶シリコン107は可能な限り低抵抗としたため、濃度が $1 \times 10^{19} \text{atoms/cm}^3$ 以上のボロンまたは BF_2 などのアクセプター不純物を含む。抵抗体114、115は後述するがその製造方法の簡便さから

CMOSのゲート電極と同一層の多結晶シリコンにより形成されている。

【 0 0 3 4 】

PMOS 1 1 2においてゲート電極をP+多結晶シリコン 1 0 7とすることで、Nウェル 1 0 2とゲート電極の仕事関数の関係からE型PMOSのチャンネルは表面チャンネルとなるが、表面チャンネル型PMOSにおいてはしきい値電圧を例えば-0.5V以上に設定しても極端なサブスレッショルド係数の悪化に至らず低電圧動作および低消費電力がともに可能となる。

【 0 0 3 5 】

一方NMOS 1 1 3においては、P+多結晶シリコン 1 0 7のゲート電極とP型半導体基板 1 0 1の仕事関数の関係からE型NMOSのチャンネルは埋込みチャンネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャンネルは極めて浅い埋込みチャンネルとなる。従ってしきい値電圧を例えば0.5V以下の小さな値に設定しても、しきい値制御用アクセプター不純物として拡散係数が大きくイオン注入のプロジェクションレンジも大きいボロンを使用せざるを得ず深い埋込みチャンネルとなるN+多結晶シリコンをゲート電極としたE型PMOSの場合に比べ、サブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【 0 0 3 6 】

以上の説明により本発明によるP+多結晶シリコン単極をゲート電極としたCMOSは、従来のN+多結晶シリコン単極をゲート電極としたCMOSに比べ、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

【 0 0 3 7 】

図 1 にはP-抵抗体 1 1 4 およびN-抵抗体 1 1 5 の両方を示しているが、それらの抵抗体の特徴と製品に要求される特性とを考慮し工程数やコスト削減の目的でP-抵抗体 1 1 4 もしくはN-抵抗体 1 1 5 のどちらかしかを搭載しない場合もある。

【 0 0 3 8 】

次に本発明を実製品に適用した場合の具体的な効果を図 2 を用いて説明する。図 2 は半導体装置による正型VRの構成概要を示す。VRは基準電圧回路 1 2 3 とエ

ラアンプ 1 2 4 と PMOS 出力素子 1 2 5 と抵抗 1 2 9 からなる分圧回路 1 3 0 とからなり、入力端子 1 2 6 に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子 1 2 8 に出力する機能を有する半導体装置である。

【 0 0 3 9 】

近年、特に携帯機器向けの VR には入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化が可能な CMOS によりエラアンプや PMOS 出力素子や基準電圧回路を構成し、低コストで高抵抗かつ高精度である P-抵抗体により分圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

【 0 0 4 0 】

さらに最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

【 0 0 4 1 】

VR は数十 mA から数百 mA の電流を出力するが、それは PMOS 出力素子の駆動能力に 1 0 0 % 依存し、製品によってはチップ面積のほぼ半分を PMOS 出力素子が占める場合がある。従ってこの PMOS 出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

【 0 0 4 2 】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これは PMOS 出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

非飽和動作における MOS トランジスタのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

I_d : ドレイン電流

μ : 移動度

C_{ox} : ゲート絶縁膜容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート・ソース間電圧

V_{th} : しきい値電圧

V_{ds} : ドレイン・ソース間電圧

で表される。

面積を増やさず、 V_{gs} や V_{ds} が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに V_{th} の低下を行う必要がある。

【 0 0 4 3 】

本発明によるP+多結晶シリコン単極をゲートとしたCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえるため、上記のVRの低コスト化および小型化に対して非常に有効な手段であることが理解されよう。

【 0 0 4 4 】

またVRにおける本発明のP+多結晶シリコン単極ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができ、従来のN+多結晶シリコンをゲート電極とした場合のE型NMOSが表面チャネル型でD型NMOSが埋込みチャネル型から構成される基準電圧回路に比べ、温度変化に対し出力電圧変化の小さい基準電圧回路を提供できることも挙げられる。

【 0 0 4 5 】

さらに本発明のP+多結晶シリコン単極ゲートCMOS構造により、従来のN+多結晶シリコンゲート構造では、特にそのD型のしきい値電圧のばらつきが大きいため実使用に耐えなかったPMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能で

あり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 4 6 】

以上VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 4 7 】

次に本発明のCMOS半導体装置の製造方法を図面を用いて説明する。

図3はP型半導体基板101にNウェル102を形成した後、いわゆるLOCOS法により素子分離領域であるフィールド絶縁膜106を形成し、しきい値制御のためのチャンネル領域への不純物ドーピングをイオン注入法によりNMOS、PMOS各々に選択的に行い、その後ゲート絶縁膜105を例えば電気炉中での熱酸化により形成した後、多結晶シリコン131を被着した様子を示している。

【 0 0 4 8 】

本例においてはP型半導体基板を用いたシングルNウェル構造を示しているが、例えばノイズ対策やユーザの要求によりVdd端子を実装のタブと同電位としたい場合など、N型半導体基板を用いPウェルを形成するが、その場合においても本発明による低電圧、低消費電力、低コストであるCMOSの効果は図3に示すP型半導体基板Nウェル方式と同様に得られる。

【 0 0 4 9 】

またNMOSとPMOSの寄生容量や最小L長のバランスを考慮し、両MOSとも同程度の濃度の半導体中に形成したい場合、すなわちツインウェル方式を用いる場合があるが、この場合においてもスターティングマテリアルである半導体基板の導電型、つまりP型半導体基板、N型半導体基板を問わず本発明による低電圧動作、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。

【 0 0 5 0 】

また図3において素子分離はLOCOS法を示しているが、分離領域の縮小の目的で図示はしていないがShallow Trench Isolation(STI)を用いても本発明による低電圧、低消費電力、低コストであるCMOSの効果はやはり同様に得られる。

【 0 0 5 1 】

LOCOS法とSTIの使い分けは一般的には最大動作電圧に依存する。最大動作電圧が数Vの場合にはSTIが面積的に有利であるが、それ以上の動作電圧の場合LOCOS法が工程の簡便さの観点から有利である。

【 0 0 5 2 】

しきい値制御のためのチャネル領域への不純物ドーピングは前述したようにイオン注入法により行うが、ゲート電極の導電型がP+多結晶シリコンであるため、E型NMOS、D型NMOSの両NMOSタイプに対してドーパントとしてドナーであるリンないし砒素を用いる。前述したように低しきい値化にはできるだけ表面チャネル型に近づけておきたいため、拡散係数の大きい砒素が有利である。E型PMOSの場合も同様にドナーを用いるが、D型PMOSにはアクセプターであるボロンないし BF_2 を用いる。D型PMOSにおいてもしきい値制御性の観点からチャネルはできるだけ表面に近づけておきたいため、イオン注入後の不純物プロファイルを浅く保てる BF_2 を通常は用いる。ドーピング量は所望とするしきい値の値によるが通常は $10^{11}\text{atoms}/\text{cm}^2$ から $10^{12}\text{atoms}/\text{cm}^2$ の範囲である。

【 0 0 5 3 】

多結晶シリコンは通常減圧での化学気相成長法(Chemical Vapor Deposition、以後CVDと表記)によりシランガスを分解することで酸化膜上に成膜される。膜厚はゲート電極や配線の低抵抗化の点で厚い方が有利であるが、前述したように同一層で抵抗体も形成するため薄い方が高抵抗化の点において有利ではある。多結晶シリコンのパターニングにおけるスルーブットおよび下地ゲート酸化膜とのエッチング選択比なども考慮して通常は2000Åから6000Åの間の膜厚とする。

【 0 0 5 4 】

次に図4に示すようにフォトリソグラフィ法により後にN型抵抗体となる部分を開口するようにフォトレジスト132をパターニングし、ドナー不純物であるリンないし砒素をイオン注入法により多結晶シリコン中に選択的に導入する。

【 0 0 5 5 】

後述するように後の工程において多結晶シリコン全面に低濃度のアクセプタードーパントのイオン注入を行う場合があるが、ここでは後にそれを行っても導電

型がN型であるようにドーズ量を設定しておく。通常は $1 \times 10^{14} \text{ atoms/cm}^2$ から $1 \times 10^{15} \text{ atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{ atoms/cm}^3$ から $9 \times 10^{14} \text{ atoms/cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにはこの程度のシート抵抗値に設定しておく必要がある。

【0056】

また回路や製品によってはN型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図4に示した工程は省略される。

【0 0 5 7】

次にフォトレジストを剥離した後、図5に示すようにフォトリソグラフィー法により後にP+型ゲート電極および配線となる部分を開口するようにフォトレジスト132をパターニングし、アクセプター不純物である BF_2 をイオン注入法により多結晶シリコン中に選択的に導入する。

【0058】

ゲート電極および配線はできるだけ低抵抗化しておきたいため、濃度としては $1 \times 10^{19} \text{ atoms/cm}^3$ 以上、ドーズ量としては $1 \times 10^{15} \text{ atoms/cm}^2$ 以上の条件でイオン注入する。

【 0 0 5 9 】

また図示はしないが図5に示すP+多結晶シリコン領域を形成する工程は、図4の工程後にフォトレジストを剥離してCVD法により酸化膜を多結晶シリコン上に形成し、熱処理後フォトリソグラフィ法とHF溶液によるウェットエッチングによりP+型ゲート電極および配線となる部分を開口するように酸化膜をパターニングし、フォトレジストを剥離したのち電気炉中においてプリデポとドライブインを行う、もしくは分子層ドーピング後に熱処理を行い酸化膜を除去することによっても形成できる。この場合は図5に示したフォトレジストをマスクとしたイオン注入によるP+多結晶シリコン領域の形成に比べ、酸化膜の形成とエッチング処理が必要であるため工程数の点において不利であるが、イオン注入法に比べアクセプター濃度を格段に大きくすることが可能であるため低抵抗化の点において有利である。通常は濃度の制御性と簡便さからフォトリソグラフィ法とイオ

ン注入による形成を採用する。

【 0 0 6 0 】

次にフォトレジスト 1 3 2 を剥離した後、図 6 に示すように P 型抵抗領域を形成すべくアクセプター不純物であるボロンないし BF_2 をイオン注入法により多結晶シリコン中に導入する。

【 0 0 6 1 】

ドーズ量は通常は $10^{14} \text{atoms/cm}^2$ から $10^{15} \text{atoms/cm}^2$ の範囲であり正味の濃度は $1 \times 10^{14} \text{atoms/cm}^3$ から $9 \times 10^{18} \text{atoms/cm}^3$ 程度であり、シート抵抗値としては数 $\text{k}\Omega/\square$ から数十 $\text{k}\Omega/\square$ である。N 型抵抗と同様に、抵抗による分圧回路における消費電流を少なくとも μA 以下にするためにこの程度のシート抵抗値に設定しておく。

【 0 0 6 2 】

またやはり N 型抵抗と同様、回路や製品によっては P 型の多結晶シリコンによる高抵抗が不要な場合があり、その場合には図 6 に示した工程は省略される。

【 0 0 6 3 】

図 4 から図 6 に示す工程により多結晶シリコン中に N 型抵抗領域、P 型抵抗領域、P+ 領域を形成したがこれらの工程順は必ずしもこの順番どおりでなくともかまわない。図 4 から図 6 に示す工程を任意の順に行うことで上記に示す 3 つの領域は同じように形成される。

【 0 0 6 4 】

次に図 7 に示すように多結晶シリコン上に第一の絶縁膜を CVD 法により形成し、場合によっては雰囲気を窒素やアルゴンなどの不活性ガスとした電気炉中で熱処理を行う。

【 0 0 6 5 】

第一の絶縁膜は後にセルフアラインにより NMOS のソース、ドレインを形成する際に P+ ゲート電極中にドナードーパントが入るのを防ぐマスクとするため設ける。マスクとして機能するためには NMOS のソース、ドレインを形成する際のイオン注入の加速エネルギーは 100Kev 未満であるためイオンの最大飛程を考慮しても膜厚として 1000\AA から 2000\AA であれば十分阻止することができる。

材質は酸化膜もしくは窒化膜が用いられる。後述するが後の工程において抵抗体上の第一の絶縁膜を剥離する必要があるが、工程の簡便性や抵抗体に与える損傷の点において、HF溶液によるウェットエッチングが可能な酸化膜が用いられる場合が多い。

【 0 0 6 6 】

次に図 8 に示すようにフォトリソグラフィ法とエッチングにより第一の絶縁膜と多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する。この形成は、フォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして第一の絶縁膜をエッチングし次にフォトレジストを残したまま多結晶シリコンをエッチングしその後フォトレジストを除去する方法と、やはりフォトリソグラフィ法によりフォトレジストをパターニングした後フォトレジストをマスクとして第一の絶縁膜をエッチングし次にフォトレジストを剥離した後第一の絶縁膜をマスクとして多結晶シリコンをエッチングする 2 種類の方法によって行われる。

【 0 0 6 7 】

ゲート電極や抵抗体の加工は精度が求められるため異方性ドライエッチを採用するが、異方性エッチはエッチング中のフォトレジストとの生成物による側壁防御膜効果により達成されるため、通常はフォトレジストを残したまま多結晶シリコンをドライエッチングする。

【 0 0 6 8 】

第一の絶縁膜が酸化膜の場合、ウェット、ドライどちらのエッチングによっても加工は可能であるが精度の点においてドライエッチングの方が有利である。また第一の絶縁膜が窒化膜の場合、フォトレジストをマスクとするパターニングは適当なウェットエッチャントがないためドライエッチに限定される。ただし窒化膜の場合、ドライエッチングによるエッチレートが多結晶シリコンのエッチレートと同程度であるためエッチャーを変えずに一気にパターニングできるという利点をもつ。

【 0 0 6 9 】

次に図 9 に示すようにフォトリソグラフィ法によりフォトレジスト 1 3 2 を

抵抗体以外のゲート電極や配線領域をカバーするようにパターニングし、エッチングにより抵抗体上の第一の絶縁膜を除去する。

【0070】

この場合抵抗体にエッチングによる損傷を与えたくないため、純粹に化学反応によりエッチングが進行するウェットエッチングが望ましい。従って第一の絶縁膜の材質としては前述したが、HF溶液によりウェットエッチングが可能な酸化膜が適当である。レジストをマスク材として採用できる適当なウェットエッチャントがない窒化膜はこの点において不利である。ただし第一の絶縁膜が酸化膜の場合、フィールド絶縁膜は酸化膜である場合が多いためフィールド絶縁膜の本工程における膜減りに注意する必要がある。

【0071】

次にフォトレジスト132を剥離した後、図10に示すようにフォトリソグラフィ法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形成する。

【0072】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0073】

またこの場合NMOSのゲート電極上には第一の絶縁膜が置かれているため、NMOSのP+ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【0074】

次にフォトレジストを剥離した後、必要に応じて不純物活性化の熱処理を施した後、図11に示すようにフォトリソグラフィ法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132を

パターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域104とP+多結晶シリコン領域108を形成する。

【0075】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0076】

次にフォトリソストを剥離した後、図12に示すようにCVD法により中間絶縁膜134を被着した後、熱処理を行い中間絶縁膜を平坦化する。

【0077】

中間絶縁膜は下層がNSG(Nondoped Silicate Glass)膜もしくは窒化膜であり、上層がPSG(Phosphorus Silicate Glass)膜もしくはBPSG(Boron Phosphorus Silicate Glass)膜である2層構造となっている。PSGないしBPSGは熱処理によるガラスフロー平坦化を効果的とするために用いられる。また下層のNSGもしくは窒化膜はPSGないしBPSGから多結晶シリコン抵抗体に不純物が熱処理中に拡散して抵抗値に影響を及ぼすことを防ぐために設けられる。下層膜の膜厚は1000Å以上あれば十分な拡散阻止能力を有する。

【0078】

多結晶シリコン中に高濃度のアクセプター不純物を導入した後から図12に示す平坦化の熱処理までのサーマルバジットは、P+ゲート電極からチャネル領域にアクセプター不純物であるボロンが拡散しないよう制限される。ゲート絶縁膜の膜厚にもよるが目安としては電気炉においては800℃から900℃の範囲で数十分程度であり、RTA(Rapid Thermal Annealing)では1000℃から1100℃の範囲で数十秒程度である。

【0079】

以降は通常のCMOS工程に同じくコンタクト孔を形成し、配線金属を形成する。

【0080】

以上説明してきたように図3から図12の工程を経ることにより、図1に示すCMOSの構造が得られる。

【 0 0 8 1 】

図 1 3 は本発明のCMOS半導体装置の別の実施例を示す模式的断面図である。
 ゲート電極は本発明の根幹であるP+多結晶シリコン107単極のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コストの効果を有するが、さらにアナログ回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層N-119、P-120とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいて設けた不純物濃度の濃い拡散層N+103、P+104としたMOSトランジスター構造としている。入力電圧の高いVDやVRおよび出力電圧の高い昇圧型のSWRなどに対応するためである。

【 0 0 8 2 】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は0.5 μ mから数 μ mである。図13においてはPMOS112の片側だけがオフセット構造であり、NMOS113は両側がオフセット構造となっているが、PMOSに関しては素子の回路での使用方法によりその回路において適切な構造をMOSトランジスターの導電型に関わらず選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。

【 0 0 8 3 】

次に図13に示すCMOS半導体装置の製造方法を図面を用いて説明する。

【 0 0 8 4 】

図14はP型半導体基板101にNウェル102を形成した後、素子分離領域であるフィールド絶縁膜106を形成し、しきい値制御のためのチャネル領域への不純物ドーピングをイオン注入法によりNMOS、PMOS各々に選択的にを行い、その後ゲート絶縁膜105を形成した後、多結晶シリコン131を被着し、多結晶シリコン

中にP+多結晶シリコン領域107、P-多結晶シリコン110、N-多結晶シリコン領域111を形成した様子を示している。以上は図4から図6を用いて説明した工程と全く同じ工程を経ることによって形成される。

【0085】

次に図15に示すようにフォトリソグラフィ法とエッチングにより多結晶シリコンをパターニングしてゲート電極、配線、抵抗体を形成する。

【0086】

図13に示すいわゆるマスクオフセットCMOS構造では高濃度のソース、ドレイン形成においてフォトレジストによるゲート電極のマスクが可能であり、NMOSのゲート電極への高濃度のドナー不純物の導入を避けられるため、図7から図8に示したような多結晶シリコン上への第一の絶縁膜の形成は不要である。

【0087】

次に図16に示すようにフォトリソグラフィ法によりNMOSを開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを低濃度にイオン注入法によりP型基板中に導入しNMOSの低濃度のソース、ドレインであるN-領域119を形成する。

【0088】

不純物濃度は半導体製品の動作電圧にもよるが、通常はドーズ量が 10^{12} atoms/cm²から 10^{14} atoms/cm²のオーダーであり、この場合の濃度は 10^{16} atoms/cm³から 10^{18} atoms/cm³のオーダーである。

【0089】

NMOSにおいては前述したように高濃度のソース、ドレイン形成においてフォトレジストによりゲート電極をマスクして不純物導入する必要があるため、図16に示す工程においては必ずソース、ドレインの両方に低濃度のドナー不純物を導入しておく必要がある。またこのときNMOSのP+多結晶シリコンゲート電極にもドナー不純物は導入されるが、オーダーが異なるためゲート電極の仕事関数や抵抗値に影響を与えるものでない。

【0090】

次にフォトレジストを除去したのち、図17に示すようにフォトリソグラフィ

一法によりPMOSを開口するようにフォトレジスト132をパターニングした後、ボロンないし BF_2 などのアクセプターを低濃度にイオン注入法によりNウェル中に導入しPMOSの低濃度のソース、ドレインであるP-領域120を形成する。

【0091】

図17に示す例においてはPMOSの片側、すなわちドレイン側にしかP-領域を形成していないが、前述したようにPMOSの回路における使用方法によってはソース、ドレインの両方にP-領域を形成してもよい。

【0092】

次にフォトレジスト132を剥離した後、図18に示すようにフォトリソグラフィ法によりNMOSとN型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトレジスト132をパターニングした後、リンもしくは砒素などのドナーを高濃度にイオン注入法によりP型基板およびN型抵抗体中に導入しNMOSのソース、ドレインであるN+領域103とN+多結晶シリコン領域109を形成する。

【0093】

不純物としては通常は浅いソース、ドレインが得られる拡散係数の小さい砒素を用い、できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0094】

またこの場合NMOSのゲート電極上にはフォトレジストが置かれているため、NMOSのP+ゲート電極にドナーが入ることはなく、仕事関数や抵抗値の変化には至らない。

【0095】

このときフォトレジストはゲート電極に隣接するソース、ドレインの一部をマスクするようにパターニングされているが、このマスク幅は前述したように通常は $0.5 \mu\text{m}$ から数 μm である。しかしホットキャリアやチャネル長変調を考慮しなくてもよいソース側は単にゲート電極をマスクする目的でソース側にもフォトレジストを配置するので、このときはフォトリソグラフィ法で使用するアライナーのアライメントエラー値だけゲート電極からフォトレジストを張出して

おけばよく0.3 μm 程度で済む。

【0096】

次にフォトリソグロフィー法によりPMOSとP型抵抗体の後に配線金属とのコンタクトとなる部分を開口するようにフォトリソグロフィー132をパターニングした後、例えば BF_2 もしくはボロンなどのアクセプターを高濃度にイオン注入法によりNウェルおよびP型抵抗体中に導入しPMOSのソース、ドレインであるP+領域104とP+多結晶シリコン領域108を形成する。

【0097】

NMOS同様できるだけ低抵抗とするためドーズ量は $1 \times 10^{15} \text{ atoms/cm}^2$ 以上でありこの場合の濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上である。

【0098】

以上の工程以後は図12で示した工程と全く同じ工程を行い図13に示すCMOSの構造が得られる。

【0099】

図20、図21には図13に示すCMOS構造を得る別の製造方法を示している。

【0100】

図14から図19に示す製造方法の実施例においては、図14に示す多結晶シリコンのパターニング前の時点において多結晶シリコン中にゲート電極や配線となるP+領域および抵抗体となるP-とN-領域を形成していたが、本発明の別の製造方法では多結晶シリコンのパターニング前には多結晶シリコン中にはP+領域しか形成せず、それ以外の抵抗体となる領域には不純物を一切導入しない状況としておく。

【0101】

その後多結晶シリコンをフォトリソグロフィー法とドライエッチングによりパターニングした後、図20に示すようにNMOSとN型抵抗体となる部分を開口するようにフォトリソグロフィー132をパターニングしてリンもしくは砒素などのドナーを低濃度にイオン注入法によりP型半導体基板および多結晶シリコン中に導入し、NMOSの低濃度のソース、ドレインであるN-領域119とN型抵抗体となるN-

多結晶シリコン 1 1 1 を形成する。

【 0 1 0 2 】

図 1 4 から図 1 9 に示す製造方法ではNMOSの低濃度オフセットソース、ドレイン領域とN型多結晶シリコン抵抗体は異なる工程により形成していたが、これらの不純物濃度は比較的近いいため製品の仕様によってはこのように同時形成が可能となる。

フォトレジストを除去した後、図 2 1 に示すようにやはり図 2 0 と同様にPMOSとP型抵抗体となる部分を開口するようにフォトレジスト 1 3 2 をパターニングしてボロンもしくは BF_2 などのアクセプターを低濃度にイオン注入法によりNウェルおよび多結晶シリコン中に導入し、PMOSの低濃度のソース、ドレインであるP-領域 1 2 0 とP型抵抗体となるP-多結晶シリコン 1 1 0 を形成する。

【 0 1 0 3 】

以降の工程は図 1 4 から図 1 9 に示した製造方法と同じ工程を行い図 1 3 に示すCMOS構造を得る。以上に示した本発明の別の製造方法によればマスク工程を削減することが可能であり、コストや工期の面で有利である。

【 0 1 0 4 】

【発明の効果】

上述したように、本発明はCMOSと抵抗体とを含むパワーマネジメント半導体装置やアナログ半導体装置において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコン構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンとすることで、従来のN+多結晶シリコンゲート単極のCMOSやチャネルとゲート電極の極性が同じ同極ゲートCMOSに比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする製造方法を提供する。

【図面の簡単な説明】

【図 1】

本発明のCMOS半導体装置の一実施例を示す模式的断面図。

【図 2】

半導体装置による正型VR構成概要。

【図 3】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 4】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 5】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 6】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 7】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 8】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 9】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 0】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 1】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 2】

本発明のCMOS半導体装置の製造方法の一実施例を示す模式的断面図。

【図 1 3】

本発明のCMOS半導体装置の別の実施例を示す模式的断面図。

【図 1 4】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 5】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 6】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 7】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 8】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 1 9】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 0】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 1】

本発明のCMOS半導体装置の製造方法の別の実施例を示す模式的断面図。

【図 2 2】

従来のCMOS半導体装置の模式的断面図。

【図 2 3】

従来のCMOS半導体装置の模式的断面図。

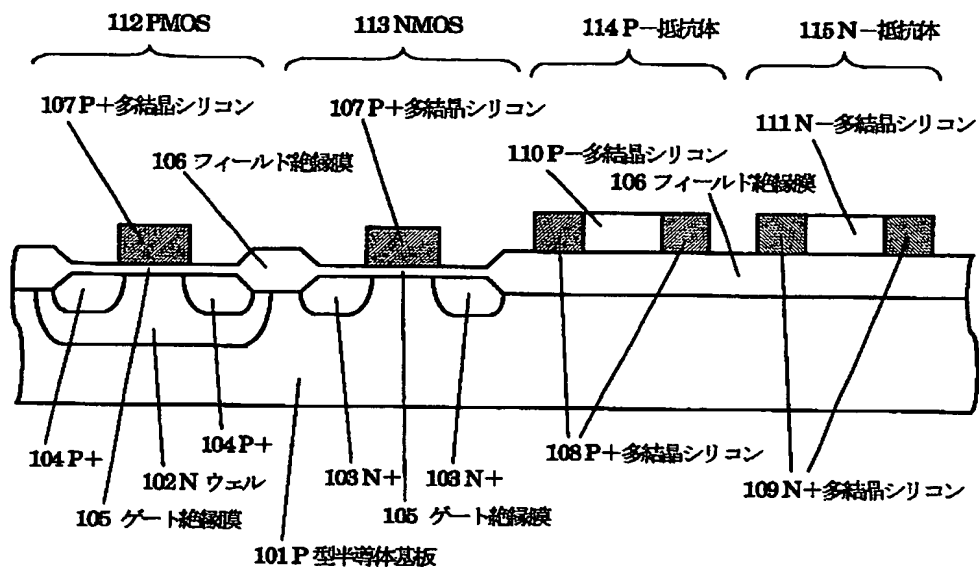
【符号の説明】

- 1 0 1、2 0 1 P型半導体基板
- 1 0 2、2 0 2 Nウェル
- 1 0 3、2 0 3 N+
- 1 0 4、2 0 4 P+
- 1 0 5、2 0 5 ゲート絶縁膜
- 1 0 6、2 0 6 フィールド絶縁膜
- 1 0 7 P+多結晶シリコン
- 1 0 8 P+多結晶シリコン
- 1 0 9、2 0 9 N+多結晶シリコン
- 1 1 0 P-多結晶シリコン
- 1 1 1、2 1 1 N-多結晶シリコン

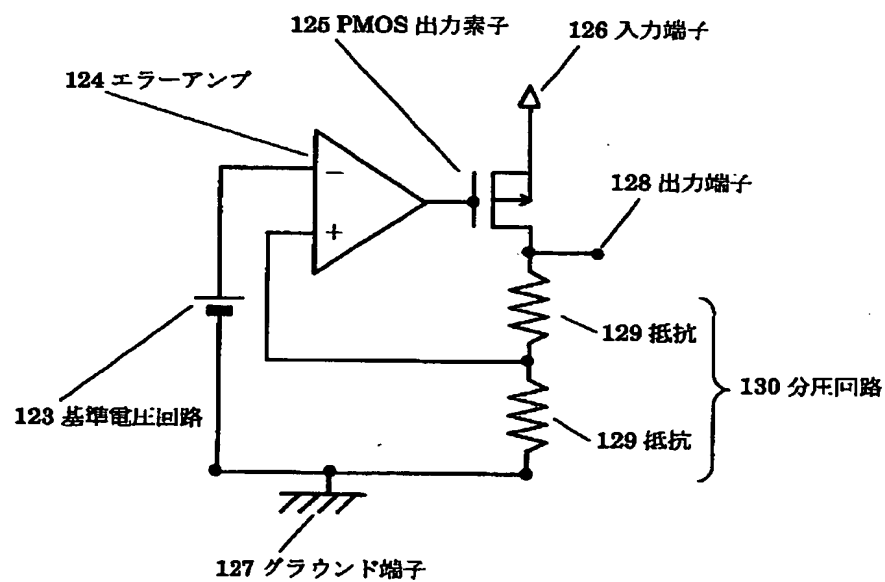
1 1 2、2 1 2	PMOS
1 1 3、2 1 3	NMOS
1 1 4	P-抵抗体
1 1 5、2 1 5	N-抵抗体
1 1 9	N-
1 2 0	P-
1 2 3	基準電圧回路
1 2 4	エラーアンプ
1 2 5	PMOS出力素子
1 2 6	入力端子
1 2 7	グラウンド端子
1 2 8	出力端子
1 2 9	抵抗
1 3 0	分圧回路
1 3 1	多結晶シリコン
1 3 2	フォトレジスト
1 3 3	第一の絶縁膜
1 3 4	中間絶縁膜
2 3 1	N+多結晶シリコン
2 3 2	P+多結晶シリコン

【書類名】 図面

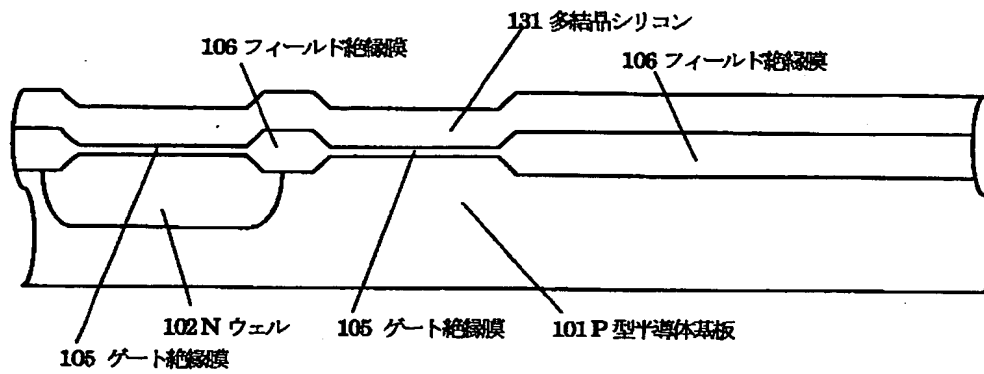
【図 1】



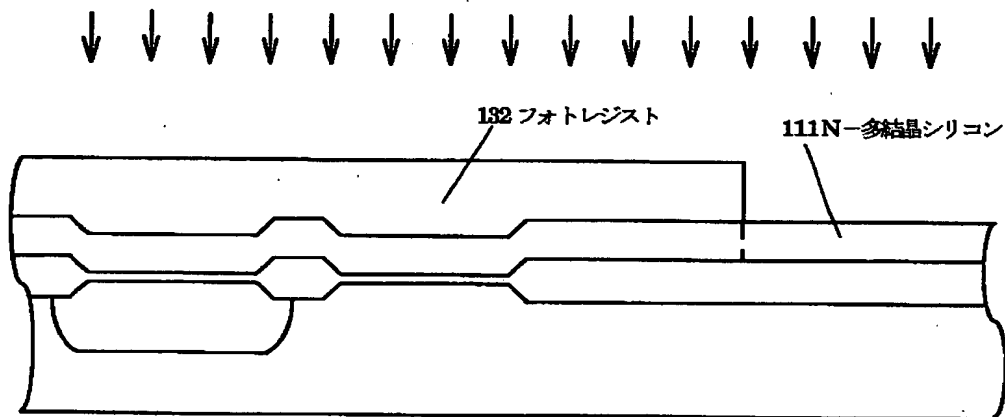
【図 2】



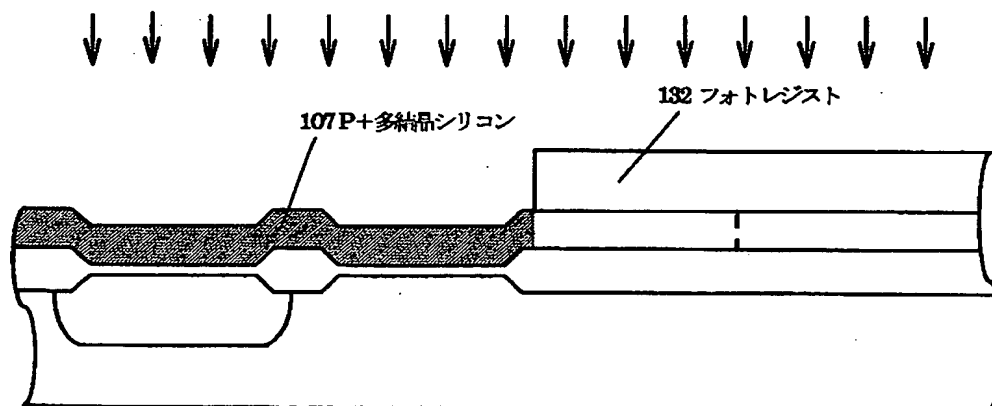
【図 3】



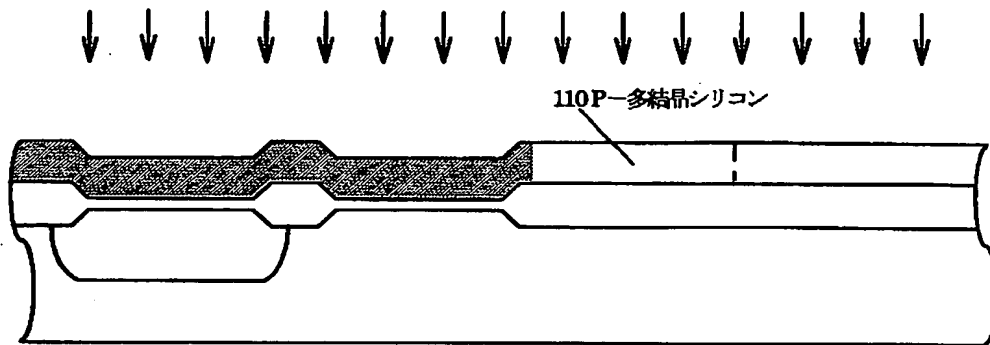
【図 4】



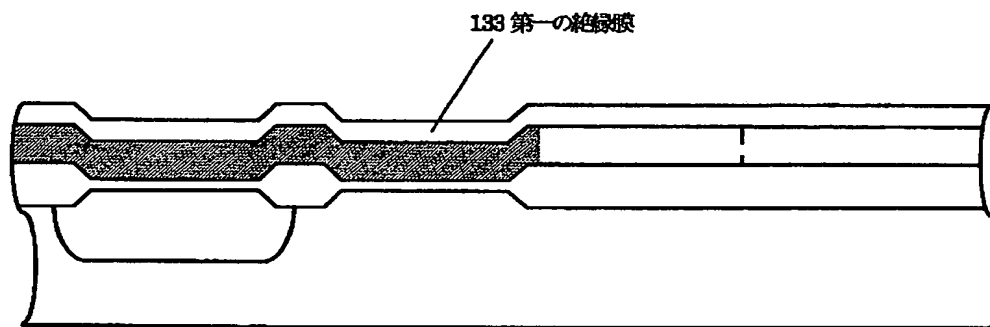
【図 5】



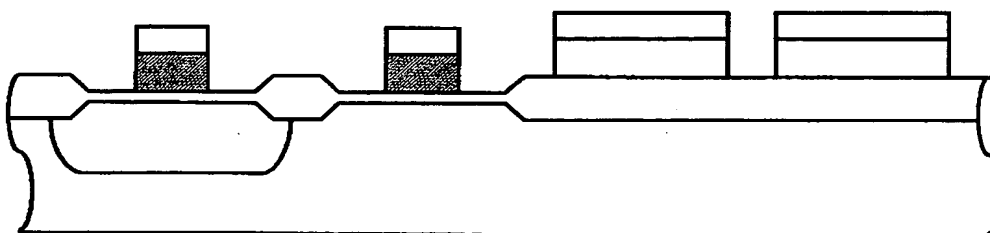
【図 6】



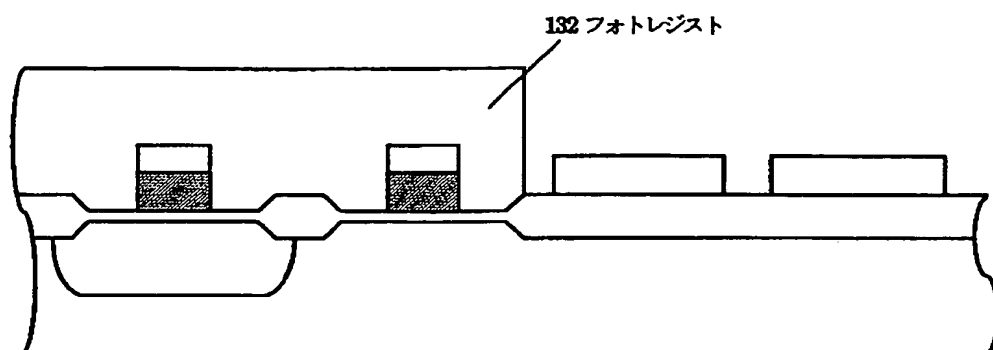
【図 7】



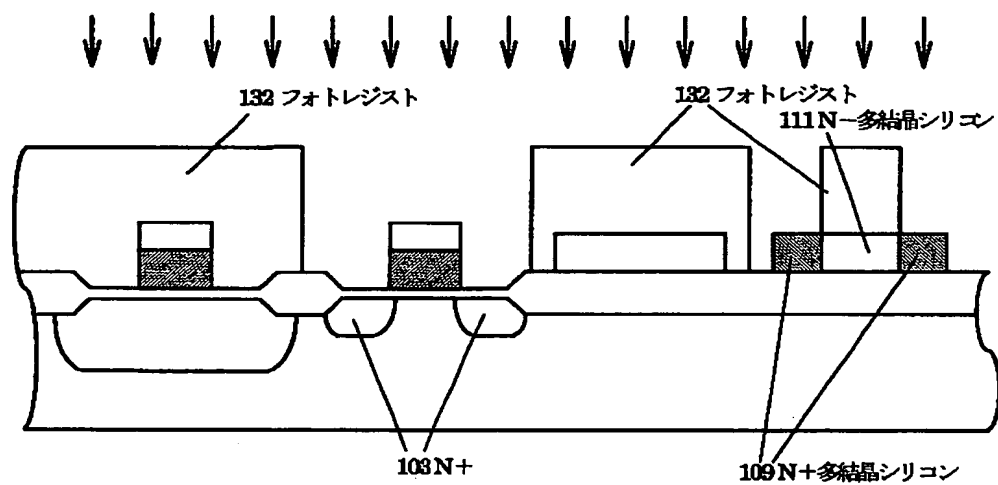
【図 8】



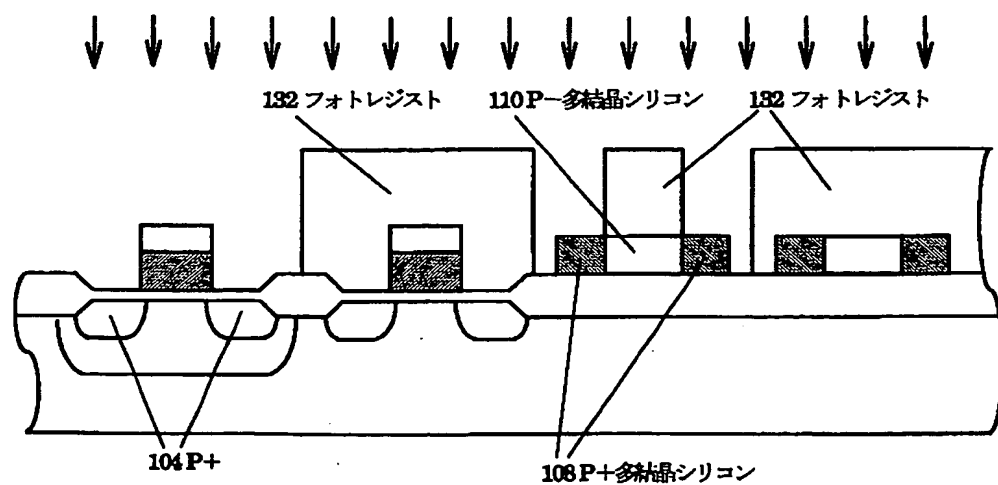
【図 9】



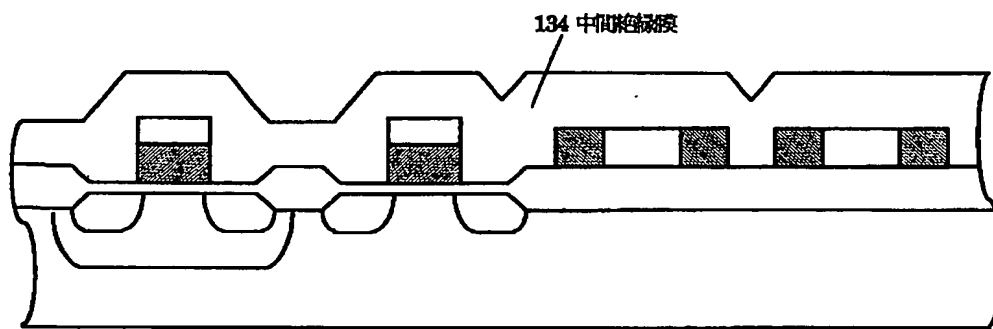
【図 10】



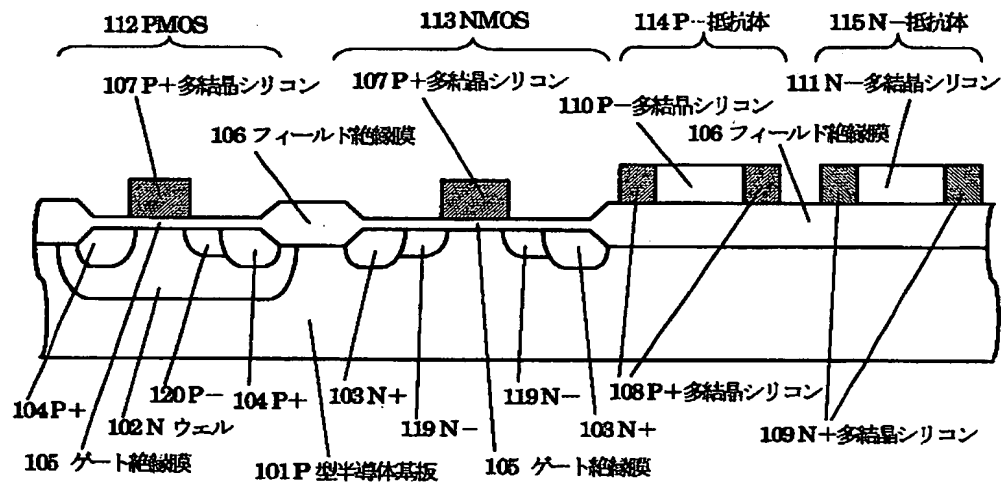
【図 11】



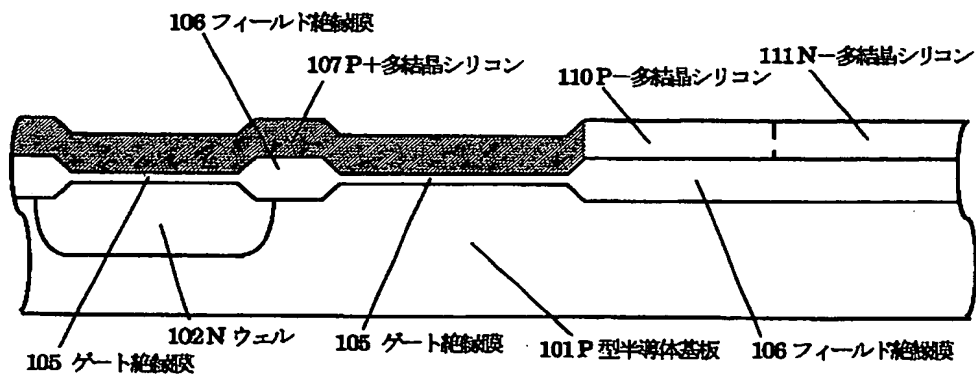
【図 1 2】



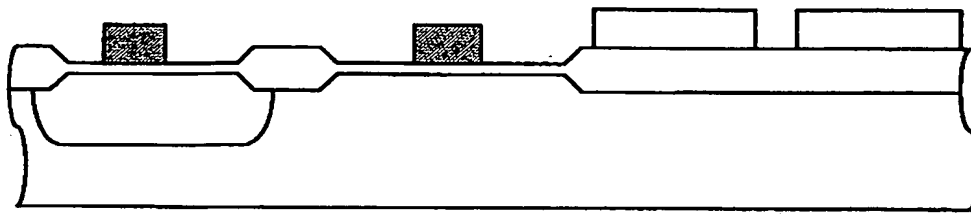
【図 1 3】



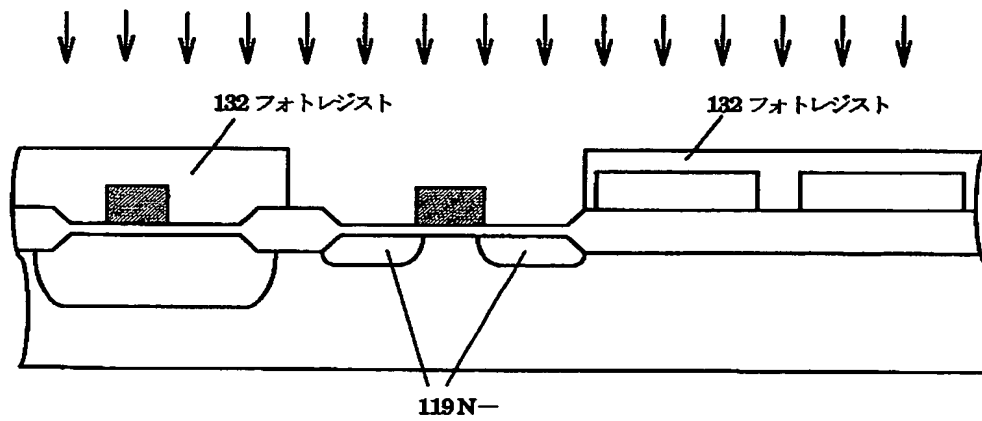
【図 1 4】



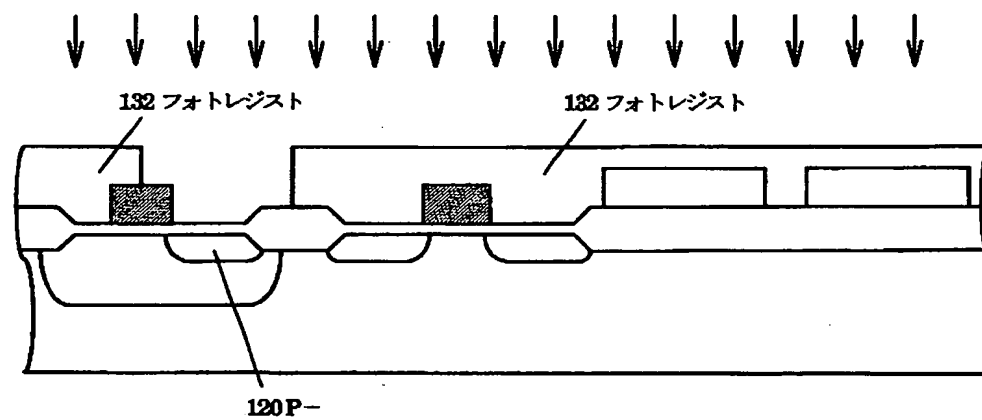
【図15】



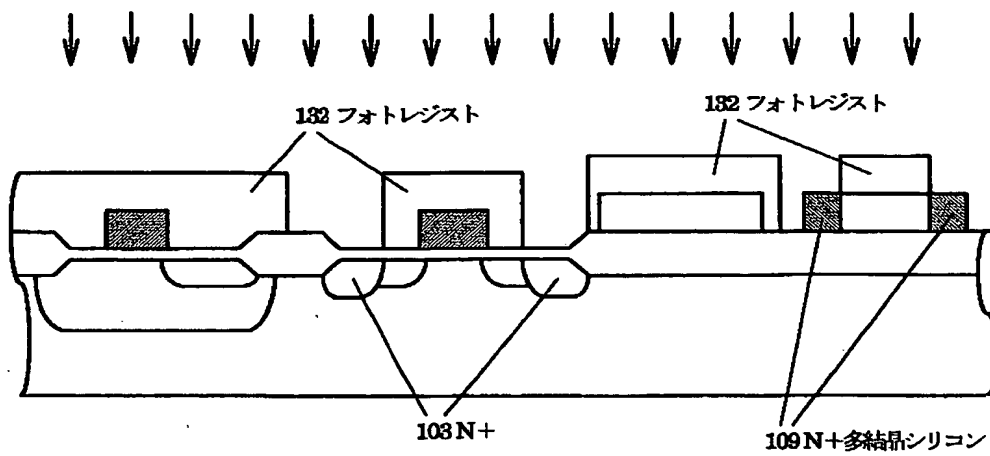
【図16】



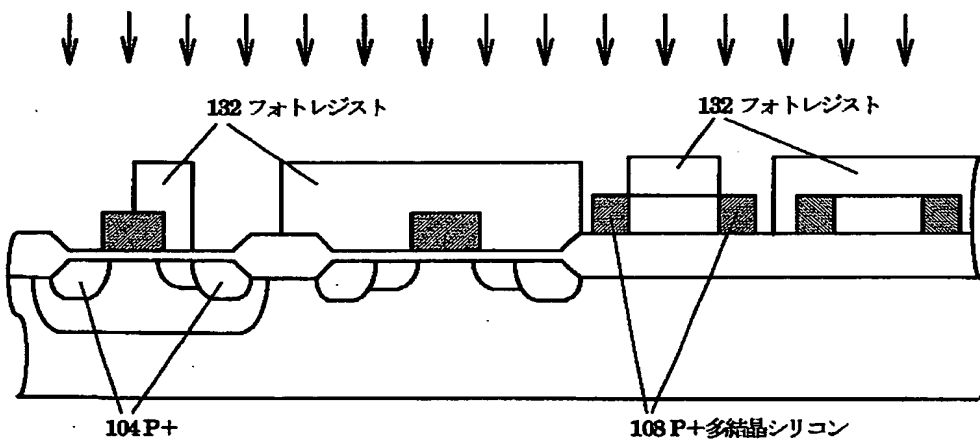
【図17】



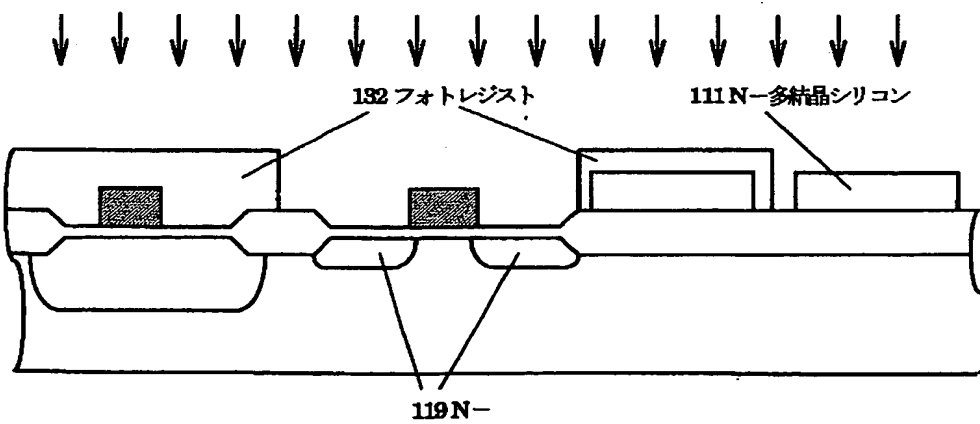
【図 18】



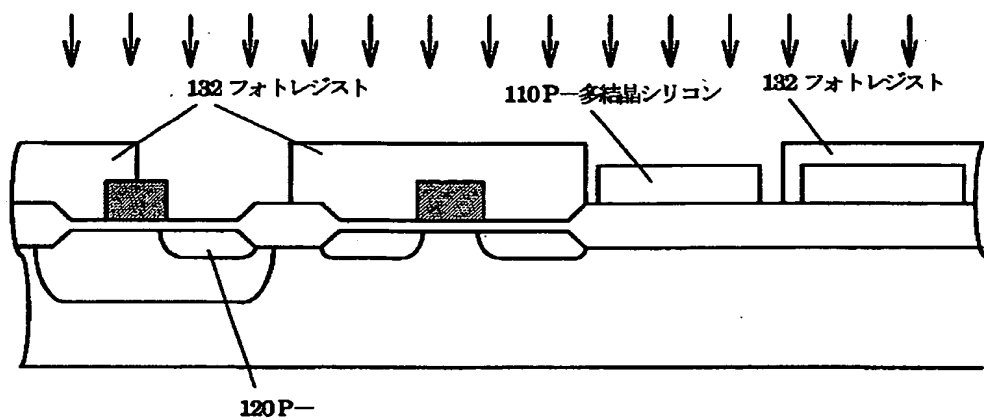
【図 19】



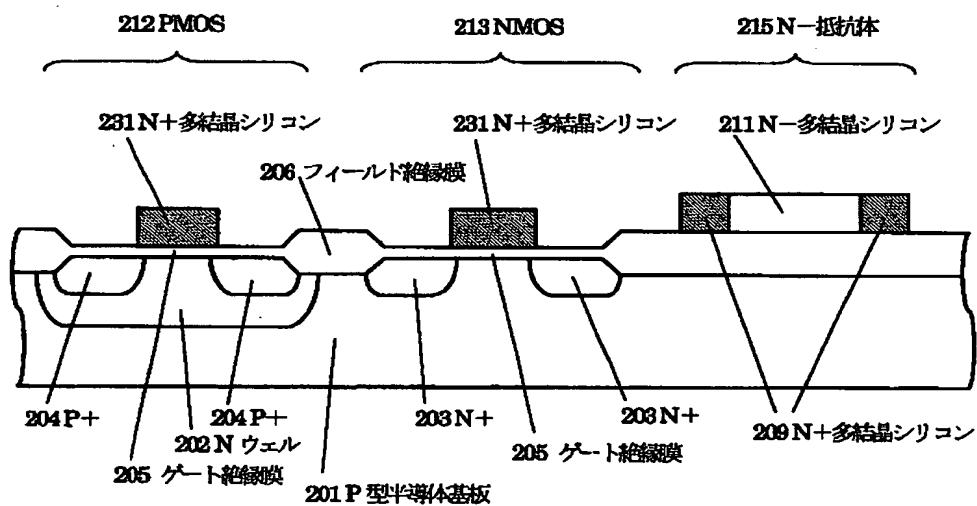
【図 20】



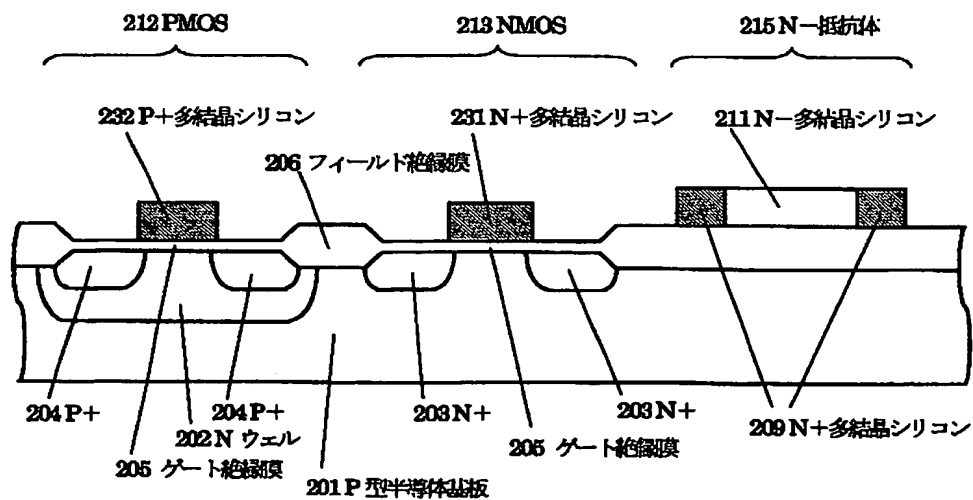
【図 2 1】



【図 2 2】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 低コストで短工期でありかつ低電圧動作が可能で低消費電力および高駆動能力を有するパワーマネジメント半導体装置やアナログ半導体装置の実現を可能とする構造の製造方法の提供。

【解決手段】 CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコン構造を可能とする製造法を用いる。PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに分圧回路やCR回路に用いられる抵抗体をゲート電極と同一層の多結晶シリコンが使用可能な製造方法。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日

[変更理由] 名称変更

住 所 千葉県千葉市美浜区中瀬1丁目8番地

氏 名 セイコーインスツルメンツ株式会社